



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08234239 A**(43) Date of publication of application: **13 . 09 . 96**

(51) Int. Cl

**G02F 1/136**  
**G02F 1/1343**  
**G09F 9/30**  
**H01L 29/786**

(21) Application number: **07065185**(22) Date of filing: **28 . 02 . 95**(71) Applicant: **SONY CORP**

(72) Inventor: **MAKIMURA SHINGO**  
**SATO TAKUO**  
**HAYASHI YUJI**

(54) **DISPLAY DEVICE**

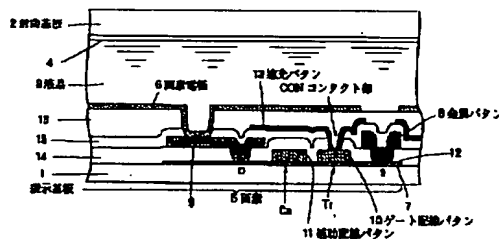
patterns effectively.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

**PURPOSE:** To lower the resistance of wiring patterns by utilizing light shielding patterns.

**CONSTITUTION:** This display device has a display substrate 1 having pixels 5 arranged in a matrix form, a transparent counter substrate 2 joined to this display substrate 1 interposing a prescribed spacing, and liquid crystals 3 held in the spacing therebetween. Pixel electrodes 6, transistor elements Tr and capacitor elements Cs disposed at every pixel 5 are formed on the display substrate 1. Gate wiring patterns 10 and auxiliary wiring patterns 11 are formed for electrical connection of the individual elements Tr and Cs. The wiring patterns 10, 11 consist of semiconductor films having a relatively high resistance. Further, light shielding patterns 13 consisting of the metallic films having a relatively low resistance are formed for a black matrix in the peripheries of the individual pixel electrodes 6. Contact parts CON are formed and the light shielding patterns 13 are electrically connected to either of the gate wiring patterns 10 and the auxiliary wiring patterns 11 to lower the resistance of the wiring



BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-234239

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
			1/1343	
G 0 9 F 9/30		7426-5H	G 0 9 F 9/30	C
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C
				6 1 9 B
審査請求 未請求 請求項の数6 F D (全 8 頁)				

(21)出願番号 特願平7-65185

(22)出願日 平成7年(1995)2月28日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 牧村 真悟

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 佐藤 拓生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 林 祐司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

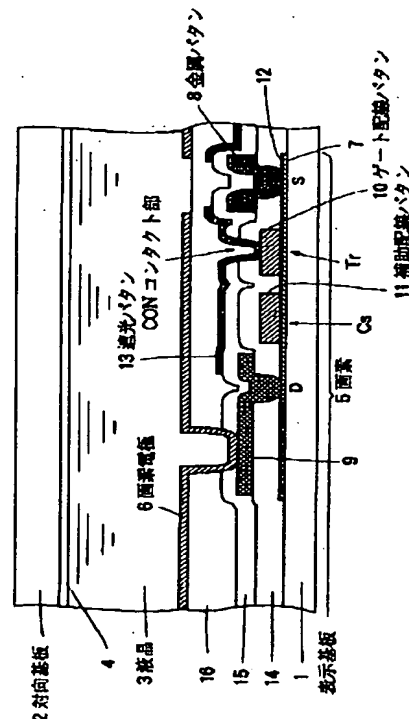
(74)代理人 弁理士 鈴木 晴敏

## (54)【発明の名称】 表示装置

## (57)【要約】

【目的】 遮光パタンを利用して配線パタンの低抵抗化を図る。

【構成】 表示装置はマトリクス状に配列した画素5を有する表示基板1と、所定の間隙を介して表示基板1に接合した透明な対向基板2と、この間隙に保持された液晶3とを備えている。表示基板1には、画素5毎に配された画素電極6とトランジスタ素子Trと容量素子Csとが形成されている。又、個々の素子Tr, Csの電気接続用にゲート配線パタン10及び補助配線パタン11が形成されている。配線パタン10, 11は比較的抵抗の高い半導体膜からなる。さらに、個々の画素電極6の周辺にブラックマトリクス用として比較的抵抗の低い金属膜からなる遮光パタン13が形成されている。コンタクト部CONが設けられており、ゲート配線パタン10及び補助配線パタン11の何れか一方に遮光パタン13を電気接続して、該配線パタンの抵抗を実効的に下げる。



## 1

## 【特許請求の範囲】

【請求項1】 マトリクス状に配列した画素を有する表示基板と、所定の間隙を介して該表示基板に接合した透明な対向基板と、該間隙に保持された電気光学物質とを備えた表示装置であって、

前記表示基板は、画素毎に配された画素電極と、同じく画素毎に配され対応する画素電極の駆動に用いる素子と、

個々の素子の電気接続用に配され比較的抵抗の高い半導体膜からなる配線パターンと、

個々の画素電極の周辺に遮光用として配され比較的抵抗の低い金属膜からなる遮光パターンと、

該配線パターンに該遮光パターンを電気接続して、該配線パターンの抵抗を実効的に下げるコンタクト部とを具備する事の特徴とする表示装置。

【請求項2】 前記素子は画素電極に信号電荷を供給するトランジスタ素子と該信号電荷を補助的に保持する容量素子とを含み、

前記配線パターンは各トランジスタ素子のゲート電極に接続するゲート配線パターンと、各容量素子に接続する補助配線パターンとを含み、

前記コンタクト部は該ゲート配線パターンと該補助配線パターンの何れか一方を該遮光パターンに電気接続する事の特徴とする請求項1記載の表示装置。

【請求項3】 前記遮光パターンは表示基板全体に渡って所定の共通電位に保持されていると共に、該コンタクト部を介して該補助配線パターンの方に電気接続されている事の特徴とする請求項2記載の表示装置。

【請求項4】 前記遮光パターンはマトリクス状に配列した画素の行毎に分割され且つ浮遊電位を有すると共に、該コンタクト部を介して画素の行毎に対応するゲート配線パターンの方に電気接続されている事の特徴とする請求項2記載の表示装置。

【請求項5】 前記遮光パターンは異なる画素間に渡って連続的に形成されている一方、前記配線パターンは画素毎に分断され不連続的に形成されている事の特徴とする請求項1記載の表示装置。

【請求項6】 前記表示基板は、マトリクス状に配列した画素の行に平行な遮光パターンを有すると共に、画素の列に平行に形成され且つ各素子に信号電荷を供給する金属パターンとを含んでおり、該遮光パターンと金属パターンは互いに交差して格子状に個々の画素電極を囲むブラックマスクを構成する事の特徴とする請求項1記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は表示基板と対向基板を互いに接合したパネル構造を有するアクティブマトリクス型の表示装置に関する。より詳しくは、配線パターンに加え遮光パターンが形成された所謂オンチップブラック構造

## 2

を有する表示基板に関する。さらに詳しくは、遮光パターンを補助的に利用した配線パターンの低抵抗化技術に関する。

## 【0002】

【従来の技術】 図9は、従来の表示基板の一例を示す模式的な等価回路図である。表示基板100上には行方向に延びるゲート配線パターン101と列方向に延びる信号配線パターン（金属パターン）102とが形成されている。又、ゲート配線パターン101と平行に補助配線パターン103も形成されている。ゲート配線パターン101は同一基板上に集積形成された垂直走査回路104に接続する一方、信号配線パターン102は同一基板上に集積形成された画像信号供給スイッチ105を介して水平走査回路106に接続している。垂直走査回路104及び水平走査回路106には外部から電源電圧、クロックパルス、スタートパルス等が供給される。画像信号供給スイッチ105には外部から画像信号が供給される。ゲート配線パターン101と信号配線パターン102の交差部に画素が規定される。各画素には液晶セルLCとこれをスイッチング駆動する薄膜トランジスタ素子Trと容量素子Csとが形成されている。トランジスタ素子Trのゲート電極はゲート配線パターン101の一部を構成し、ソース電極は対応する信号配線パターン102に接続され、ドレイン電極は液晶セルLCに接続している。前述した容量素子Csは液晶セルLCと並列に接続され、片方の電極は補助配線パターン103を介して共通電位に保持されている。垂直走査回路104は順次ゲート配線パターン101にゲート信号を供給し、線順次でトランジスタ素子Trを開閉制御する。水平走査回路106はこれに同期して画像信号供給スイッチ105及び信号配線パターン102を介し画像信号を供給する。この画像信号は線順次で選択されたトランジスタ素子Trを通して液晶セルLCに書き込まれる。容量素子Csは書き込まれた画像信号の電荷を補助的に保持する。

## 【0003】

【発明が解決しようとする課題】 上述した様に、表示基板100の上には行方向に沿ってゲート配線パターン101や補助配線パターン103が形成され、列方向に沿って信号配線パターン102が形成されている。一般に、配線プロセスの観点から、信号配線パターンはアルミニウム等からなる金属膜で形成し、これと交差するゲート配線パターン及び補助配線パターンについては多結晶シリコン又は非晶質シリコン等の半導体膜で形成している。この半導体膜は不純物が比較的高濃度でドーピングされその低抵抗化を図っているが、金属膜に比べると比較的高抵抗であり30Ω/□以上になる。配線パターンの抵抗が高い事に起因して、表示装置の性能に様々な悪影響を及ぼしている。第1に、配線抵抗が高い事に起因してシェーディング等が発生し、表示された画質の画面内均一性を損なっている。例えば、ゲート配線パターンの抵抗が大きい

## 3

と、ゲート信号の応答性が垂直走査回路から離れるに従って悪化する。垂直走査回路に近い画素ではゲート信号が略矩形を保っているのに対し、垂直走査回路から離れた画素ではゲート信号の立ち上がり及び立ち下がりが極端になまっている。ゲート信号の応答性悪化に伴ない、画面にはシェーディングが現われ著しく画質を損なう。このような画質の劣化は特に表示装置の大画面化及び高精細化が進むにつれて大きな問題となっている。しかしながら、配線パタンの材料として半導体膜を使用している限りその低抵抗化には限界がある。第2に、ゲート配線パタン及び補助配線パタンと信号配線パタンとの交差部で寄生容量が発生する為、配線抵抗が高い場合容量カップリングにより信号配線パタンの電位に乱れが生じ画質に悪影響を及ぼす。第3に、配線抵抗を下げる為に配線幅を太くすると、画素の開口率が犠牲になり表示装置の透過率が低下する。第4に、配線抵抗を下げる為半導体膜の厚みを大きくすると、配線パタンの端面で段差が激しくなる。この段差で配線パタンの断線が生じたり層間絶縁膜の電気絶縁性が劣化する。これにより、表示基板の製造歩留りの低下を招く。

【0004】なお、近年ゲート配線パタンや補助配線パタンの低抵抗化を図る為、金属ゲート電極を採用した薄膜トランジスタ素子が開発されており、例えば特開平2-3286号公報に開示されている。この例では、ゲート電極として単層の金属膜を使用している。しかしながら、金属膜には熱塑性変化や形状変化が生じる為問題が生じている。例えば、アルミニウムをゲート電極材料として用いた場合、後工程で加わる熱処理により所謂ヒロックが発生し短絡欠陥等の原因になっていた。又、後工程で加わる熱履歴により電気抵抗も変動しやすい。さらには、熱処理により金属膜の塑性変化もしくは金属原子の拡散が生じ、トランジスタ特性を劣化させる。

【0005】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は半導体膜からなる配線パタンの低抵抗化を図る事を目的とする。この目的を達成する為、本発明では表示基板にブラックマスクとして形成されている遮光パタンを利用して配線パタンの低抵抗化を実現している。

【0006】本発明にかかる表示装置は基本的な構成として、マトリクス状に配列した画素を有する表示基板と、所定の間隙を介して該表示基板に接合した透明な対向基板と、該間隙に保持された電気光学物質とを備えている。前記表示基板は、画素毎に配された画素電極と、同じく画素毎に配され対応する画素電極の駆動に用いる素子と、個々の素子の電気接続用に配され比較的高い半導体膜からなる配線パタンと、個々の画素電極の周辺に遮光用として配され比較的低い金属膜からなる遮光パタンとを具備している。特徴事項として、該配線パタンに該遮光パタンを電気接続するコンタクト部

## 4

が設けられ、該配線パタンの抵抗を実効的に下げる。

【0007】具体的には前記素子は画素電極に信号電荷を供給するトランジスタ素子と該信号電荷を補助的に保持する容量素子とを含んでいる。これに対応して、前記配線パタンは各トランジスタ素子のゲート電極に接続するゲート配線パタンと、各容量素子に接続する補助配線パタンとを含む。この場合、前記コンタクト部は該ゲート配線パタンと該補助配線パタンの何れか一方を該遮光パタンに電気接続する。該補助配線パタンの方に電気接続する場合には、前記遮光パタンは表示画面全体に渡って所定の共通電位に保持されている。又、画素の行毎に対応するゲート配線パタンの方に電気接続する場合には、前記遮光パタンは同じくマトリクス状に配列した画素の行毎に分割され且つ浮遊電位を有している。好ましくは、前記遮光パタンは異なる画素間に渡って連続的に形成される一方、前記配線パタンは画素毎に分断され不連続的に形成されている。なお、前記表示基板はマトリクス状に配列した画素の行に平行な遮光パタンを有すると共に、画素の列に平行に形成され且つ各素子に信号電荷を供給する金属パタン（信号配線パタン）を含んでいる。該遮光パタンと金属パタンは互いに交差して格子状に個々の画素電極を囲みブラックマスク（ブラックマトリクス）を構成する。

【0008】

【作用】表示基板には比較的高い半導体膜からなる配線パタンがトランジスタ素子や容量素子の電気接続用に配されている。この半導体膜は薄膜トランジスタ素子のゲート電極や薄膜容量素子の電極と同一材料である。又、比較的低い金属膜からなる遮光パタンが形成されており、個々の画素電極の周辺にブラックマトリクスとして配されている。本発明では、配線パタンと遮光パタンとの間に介在する層間絶縁膜にコンタクト部を設け両者を電気接続している。従って、配線構造が実質的に配線パタンと遮光パタンの二層構造となり、電流の大部分が金属膜を流れる為配線抵抗の低下に大きく寄与できる。配線パタン自体は何等金属膜を用いる事なく半導体膜で構成できる為、プロセス上薄膜素子の形成と整合性がとれる上信頼性も高くなる。

【0009】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示装置の第1実施例を示す模式的な部分断面図である。本表示装置は互いに所定の間隙を介して接合した表示基板1及び対向基板2とその間隙に保持された液晶3等からなる電気光学物質とを備えたパネル構造を有している。透明なガラス等からなる対向基板2の内表面には透明な対向電極4が全面的に形成されている。一方、表示基板1はマトリクス状に配列した画素5を有する。

【0010】表示基板1には画素5毎に配された画素電極6が形成されている。同じく画素5毎に配され対応す

る画素電極6の駆動に用いる薄膜素子も形成されている。この薄膜素子には画素電極6に信号電荷を供給するトランジスタ素子 $T_r$ と、信号電荷を補助的に保持する容量素子 $C_s$ とがある。トランジスタ素子 $T_r$ 及び容量素子 $C_s$ は何れも薄膜構造であり、共通の半導体薄膜7を素子領域としている。トランジスタ素子 $T_r$ のソース領域 $S$ には金属パタン（信号配線パタン）8が接続している。トランジスタ素子 $T_r$ のドレイン領域 $D$ には電極パッド9を介して画素電極6が接続している。さらに、個々の素子の電気接続用に配され比較的抵抗の高い半導体膜からなる配線パタンが形成されている。本例では、この配線パタンはトランジスタ素子 $T_r$ のゲート電極に接続するゲート配線パタン10と容量素子 $C_s$ に接続する補助配線パタン11である。なお、図示では丁度ゲート配線パタン10のゲート電極部分と補助配線パタン11の容量電極部分が断面として現われている。これらゲート電極及び容量電極はゲート絶縁膜12を介して半導体薄膜7の上にパタニング形成されている。さらに、個々の画素電極6の周辺にブラックマトリクスの一部として遮光パタン13が形成されている。この遮光パタン13は比較的抵抗の低い金属膜からなる。本発明の特徴事項としてコンタクト部CONが設けられており、配線パタンに遮光パタンを電気接続して配線パタンの抵抗を実効的に下げる。本実施例では、遮光パタン13は第1層間絶縁膜14及び第2層間絶縁膜15を通して形成されたコンタクト部CONを介して、ゲート配線パタン10に電気接続している。なお、これに代えて遮光パタン13を補助配線パタン11側に接続する構成もある。図から理解される様に、ゲート配線パタン10と遮光パタン13は実質的に二層配線構造となり、電流の大部分が遮光パタン13を流れる為、配線全体として低抵抗化が図れる。なお、遮光パタン13は平坦化膜16により被覆されており、その上に前述した画素電極6がパタニング形成されている。

【0011】引き続き図1を参照して、本表示装置の製造方法を詳細に説明する。ガラス又は石英等からなる表示基板1上に、減圧CVD法により50nmの厚みで多結晶シリコン又は非晶質シリコンからなる半導体薄膜7を成膜する。この半導体薄膜7はアイランド状にパタニングされる。半導体薄膜7は薄膜トランジスタ素子 $T_r$ の活性層になると共に、容量素子 $C_s$ の下部電極を構成している。半導体薄膜7の上にゲート絶縁膜12を成膜する。このゲート絶縁膜12は一部容量素子 $C_s$ の誘電体層となり、例えば酸化物からなる。但し、ゲート絶縁膜12の材料としては酸化物の他に、窒化物等も用いられる。あるいは、酸化物と窒化物の積層構造を採用しても良い。次に、減圧CVD法により、350nm程度の膜厚で多結晶シリコン又は非晶質シリコンを成膜する。この多結晶シリコン又は非晶質シリコンには不純物がドーピングされ低抵抗化が図られると共に、所定の形状にパタ

ニングされゲート配線パタン10及び補助配線パタン11となる。これらゲート配線パタン10（ゲート電極を含む）及び補助配線パタン11は第1層間絶縁膜14により被覆される。この第1層間絶縁膜14は例えば常圧CVD法で600nm程度の厚みにPSGを成膜して得られる。この第1層間絶縁膜14には、トランジスタ素子 $T_r$ のソース領域 $S$ 及びドレイン領域 $D$ に達するコンタクト部と、ゲート配線パタン10に達するコンタクト部CONが開口される。第1層間絶縁膜14の材料としては一般に常圧CVD法又はプラズマCVD法による酸化膜や窒化膜等を用いる事ができる。あるいは、SOG等他の形成方法による絶縁膜や、ポリイミド、アクリル樹脂等の様な有機膜を用いる事も可能である。第1層間絶縁膜14の上にはスパッタリング法により600nm程度の膜厚でアルミニウムが堆積される。このアルミニウムは所定の形状にパタニングされ、信号配線となる金属パタン8及び接続用の電極パッド9が形成される。金属パタン8はコンタクト部を介してトランジスタ素子 $T_r$ のソース領域 $S$ に接続され、電極パッド9は同じくコンタクト部を介してトランジスタ素子 $T_r$ のドレイン領域 $D$ に電気接続される。金属パタン8及び電極パッド9の材料としてはアルミニウムの代わりに、タンタル、モリブデン、クロム、ニッケル等を用いても良い。金属パタン8及び電極パッド9は第2層間絶縁膜15により被覆される。この第2層間絶縁膜15は常圧CVD法で400nm程度の膜厚にPSGを堆積して得られる。第2層間絶縁膜15には電極パッド9に達するコンタクト部と、ゲート配線パタン10に達するコンタクト部CONが開口される。第2層間絶縁膜15の上には、スパッタリング法により250nm程度の厚みでチタンが堆積される。このチタンは所定の形状にパタニングされ、遮光パタン13に加工される。この遮光パタン13はコンタクト部CONを介してゲート配線パタン10に電気接続される。遮光パタン13としては良好な遮光性と配線パタンに対する良好なコンタクト性を備えた金属材料が選択される。金属材料としてはチタンの他に、モリブデン、クロム、ニッケル、タングステン、タンタル、プラチナ、パラジウム等を用いる事ができる。金属遮光パタン13は第3層間絶縁膜16により覆われる。この第3層間絶縁膜16は、例えば常圧CVD法により600nm程度の膜厚でPSGを堆積して得られる。この第3層間絶縁膜16には電極パッド9に達するコンタクト部が開口されている。第3層間絶縁膜16の上にはスパッタリング法により150nm程度の膜厚でITOが成膜される。このITOを所定の形状にパタニングして透明な画素電極6が得られる。以上の様にして形状された表示基板1は、予め対向電極4が形成された対向基板2に所定の間隙を介して接合される。この間隙にツイストネマチック配向した液晶3が保持され、アクティブマトリクス型の表示装置が完成する。

7

【0012】図2は、図1に示した表示装置の平面ボタン形状を表わす模式図である。図示する様に、表示基板はマトリクス状に配列した画素5の行に平行な遮光ボタン13を有すると共に、画素5の列に平行に形成された金属ボタン8を含んでいる。遮光ボタン13と金属ボタン8とは互いに交差して、格子状に個々の画素電極を囲むブラックマスク（ブラックマトリクス）を構成する。又、画素5の行方向に沿ってゲート配線ボタン10及び補助配線ボタン11も形成されている。本例では、金属遮光ボタン13とゲート配線ボタン10がコンタクト部CONにより互いに電気接続されている。金属遮光ボタン13は機能的に行方向の配線ボタンと見做す事ができ、ゲート配線ボタン10の実質的な低抵抗化を実現できる。なお、遮光ボタン13はマトリクス状に配列した画素5の行毎に分割され且つ浮遊電位となっている。個々の画素5は液晶セルLCを含んでいる。この液晶セルLCは画素電極6と対向電極4との間に保持された液晶3からなる。トランジスタ素子Trは金属ボタン8から供給された信号電荷を画素電極6に供給する。容量素子Csはこの信号電荷を補助的に保持する。前述した様に、金属遮光ボタン13は画素5の行毎に分割され且つ浮遊電位となっている。換言すると、画素電極6の電位（画素電位）、金属ボタン8の電位（信号電位）、補助配線ボタン11の電位（共通電位）、他段のゲート配線ボタン10の電位（ゲート電位）からは電氣的に絶縁が保たれている。

【0013】図3は、図1及び図2に示した表示装置の全体的な構成を表わす等価回路図である。表示基板1上には各画素毎に液晶セルLC、トランジスタ素子Tr、容量素子Csが形成されている。又、行状に配置したゲート配線ボタン10、補助配線ボタン11、遮光ボタン13も形成されている。画面部を構成するこれらの要素に加えて、表示基板1の周辺部には垂直走査回路21、水平走査回路22、画像信号供給スイッチ23等が形成されている。ゲート配線ボタン10は垂直走査回路21に接続する一方、金属ボタン8は画像信号供給スイッチ23を介して水平走査回路22に接続している。トランジスタ素子Trのゲート電極はゲート配線ボタン10の一部を構成し、ソース電極は対応する金属ボタン8に接続され、ドレイン電極は液晶セルLCに接続している。液晶セルLCと並列に配された補助容量Csの片側の電極は補助配線ボタン11に接続している。この補助配線ボタン11は共通電位に保持されている。垂直走査回路21は順次ゲート配線ボタン10にゲート信号を供給し、線順次でトランジスタ素子Trを開閉制御する。水平走査回路22はこれに同期して画像信号供給スイッチ23を順次開閉制御し、金属ボタン8を介し画像信号を供給する。この画像信号は線順次で選択されたトランジスタ素子Trを通して液晶セルLCに書き込まれる。容量素子Csは補助的に画像信号の電荷を保持する。前述

8

した様に、ゲート配線ボタン10はコンタクト部CONを介して遮光ボタン13に電気接続している。この遮光ボタン13は画素電位、信号電位、共通電位、他段のゲート電位からは電氣的に絶縁が保たれている。コンタクト部CONにより互いに接続されたゲート配線ボタン10と遮光ボタン13は図示する様に等価的な二重配線構造となり、合成された配線抵抗は顕著に低下する。

【0014】図4は、図2に示したボタン構造の変形例を表わしている。基本的な構造は同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、遮光ボタン13が異なる画素5の間に渡って連続的に形成されているのに対し、ゲート配線ボタン10は画素5毎に分断され不連続的に形成されている事である。具体的には、列方向の金属ボタン8と交差する部分から、ゲート配線ボタン10が除かれている。ゲート配線ボタン10と金属ボタン8との間の交差を除去できるので、画質に悪影響を及ぼす寄生容量を減らす事が可能になる。なお、この様にゲート配線ボタン10を分断化しても、個々にコンタクト部CONを介して金属遮光ボタン13に接続されている為、全体としては各行毎にゲート配線ボタンは電氣的に連続しており、何等機能上問題はない。

【0015】図5は、本発明にかかる表示装置の第2実施例を示す模式的な断面図であり、図示を簡略化する為表示基板1側のみを示している。基本的な構成は図1に示した第1実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、遮光ボタン13がゲート配線ボタン10ではなく補助配線ボタン11側にコンタクト部CONを介して接続されている事である。即ち、本実施例では金属遮光ボタン13と補助配線ボタン11を互いに接合して二層配線構造を得ている。

【0016】図6は、図5に示した第2実施例の平面ボタン形状を表わす模式図である。前述した様に、補助配線ボタン11は各画素5毎に開口したコンタクト部CONを介して遮光ボタン13に接続されている。一般に、容量素子Csの片側電極を共通接続する補助配線ボタン11は所定の共通電位に接続されている。従って、遮光ボタン13もこの共通電位となる。この為、金属遮光ボタン13は表示領域内において全て同電位に保たれる為、各行に対応した遮光ボタン13が物理的に互いに分離している必要はなく、表示領域内に渡って互いに接続されていても構わない。

【0017】図7は、図5及び図6に示した第2実施例の全体構成を示す等価回路図である。基本的には、図3に示した第1実施例の構成と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、遮光ボタン13がコンタクト部CONを介してゲート配線ボタン10ではなく補助配線ボタン11に接続している事である。遮光ボタン13は共通電位に

保持される一方、画素電位、信号電位、ゲート電位からは電気的に絶縁状態が保たれる。金属遮光パタン 13 と補助配線パタン 11 との相互接続により、実質的な配線の低抵抗化を実現する事ができる。

【0018】図 8 は、図 5 ないし図 7 を参照して説明した第 2 実施例の変形例を表わしている。基本的には図 6 に示した構造と類似しており、対応する部分には対応する参照番号を付して理解を容易にしている。図 6 に示した例では補助配線パタン 11 が行方向に沿って連続しているのに対し、本例では補助配線パタン 11 が画素毎に分断されている。換言すると、各画素 5 毎に独立した容量素子の上部電極が設けられている。この上部電極（即ち、分断化された補助配線パタン 11）はコンタクト部 CON を介して金属遮光パタン 13 に接続されている。金属遮光パタン 13 は表示領域全面に渡って連続しており、さらに表示領域外で共通電位に接続されている。従って、各容量素子 Cs の上部電極は共通電位に接続されている。この結果、行方向に沿った各画素間において上部電極を互いに接続しなくても良い事になり、これに必要な補助配線パタン 11 の占有面積を縮小化でき、高開口率の画素レイアウトが実現可能である。さらに、補助配線パタン 11 と金属パタン（信号配線）8 の交差をなくす事ができる為、画質に悪影響を及ぼす寄生容量を低減化できる。

#### 【0019】

【発明の効果】以上説明した様に、本発明によれば、金属遮光パタンと半導体配線パタンとを相互に結線して複合化し、配線の実効抵抗を下げる事ができる為、配線抵抗に起因する画質の劣化を回避可能である。実質的な配線抵抗が低下する為、配線パタン自体の線幅を細くする事ができ、高開口率な画素レイアウトが可能となる。特に、金属遮光パタンを容量素子の補助配線パタンと接続させた場合、各パタンを画素毎に分断できる為各画素毎

に独立したレイアウトが可能になり高開口率化が実現できる。加えて、補助配線パタンと信号配線用金属パタンとの交差部をなくす事ができる為、容量カップリング等に起因する画質の低下を回避可能である。

#### 【図面の簡単な説明】

【図 1】本発明にかかる表示装置の第 1 実施例を示す模式的な部分断面図である。

【図 2】同じく第 1 実施例の模式的な平面図である。

【図 3】同じく第 1 実施例の等価回路図である。

10 【図 4】第 1 実施例の変形例を示す平面図である。

【図 5】本発明にかかる表示装置の第 2 実施例を示す模式的な部分断面図である。

【図 6】同じく第 2 実施例の平面図である。

【図 7】同じく第 2 実施例の等価回路図である。

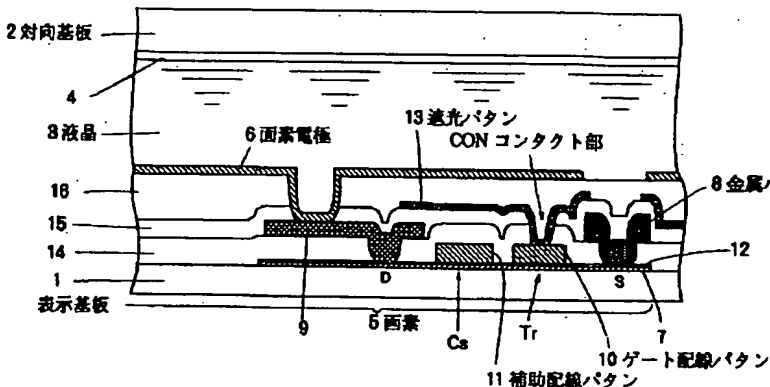
【図 8】第 2 実施例の変形例を示す平面図である。

【図 9】従来の表示装置の一例を示す等価回路図である。

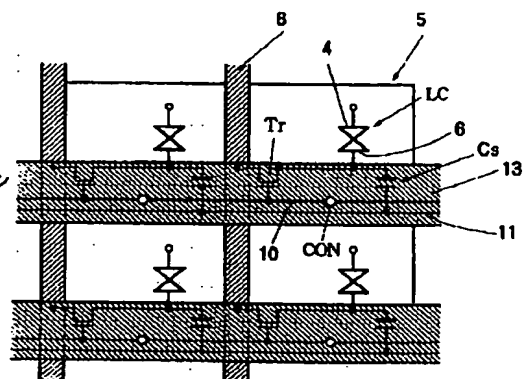
#### 【符号の説明】

- |    |          |
|----|----------|
| 1  | 表示基板     |
| 2  | 対向基板     |
| 3  | 液晶       |
| 4  | 対向電極     |
| 5  | 画素       |
| 6  | 画素電極     |
| 7  | 半導体薄膜    |
| 8  | 金属パタン    |
| 10 | ゲート配線パタン |
| 11 | 補助配線パタン  |
| 13 | 遮光パタン    |
| 30 | Tr       |
|    | Cs       |
|    | LC       |
|    | CON      |
|    | コンタクト部   |

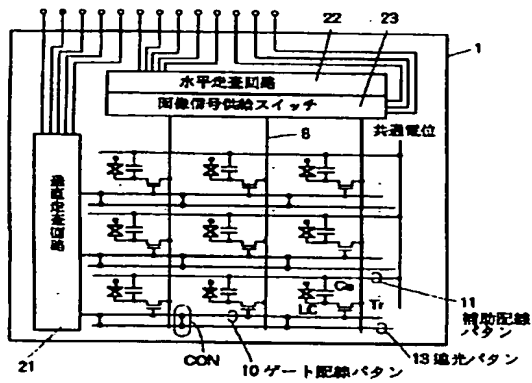
【図 1】



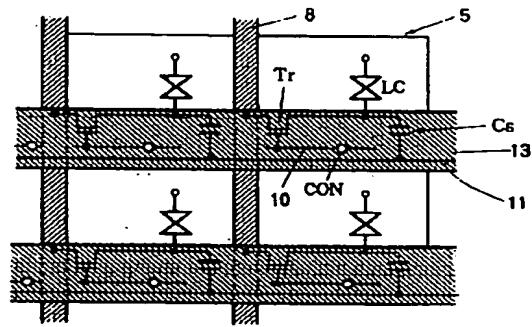
【図 2】



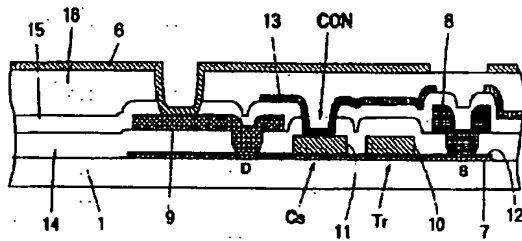
【図 3】



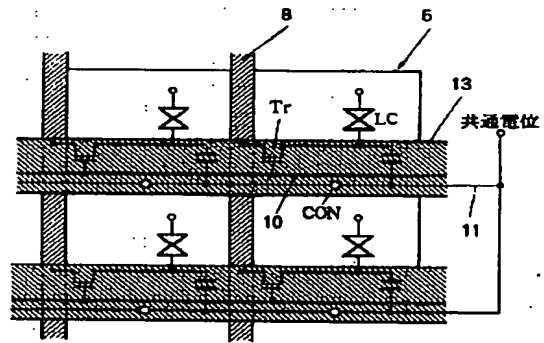
【図 4】



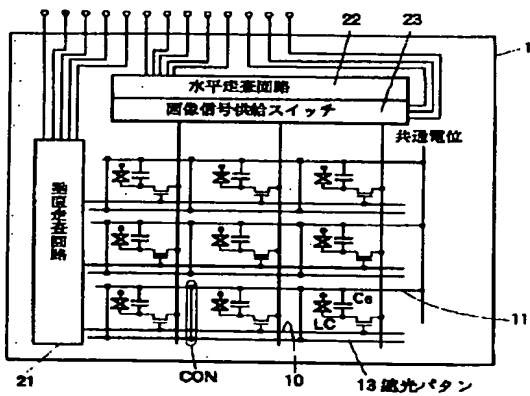
【図 5】



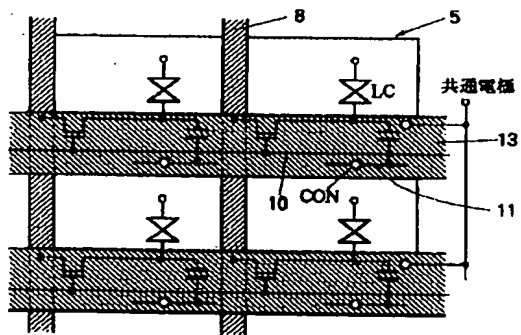
【図 6】



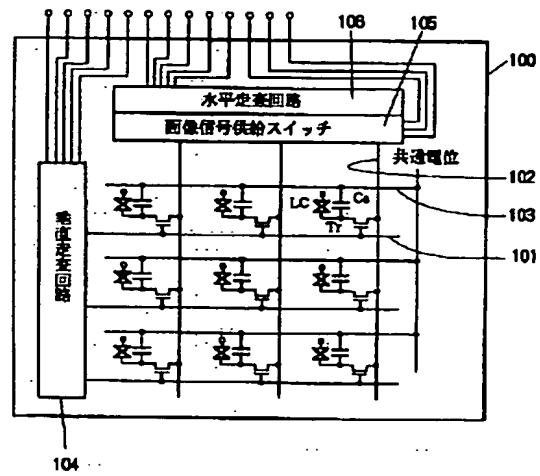
【図 7】



【図 8】







This Page is inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox**